

POWER CONSUMPTION CONTROL SYSTEM FOR TDMA PORTABLE RADIO EQUIPMENT

Patent Number: JP10107730
Publication date: 1998-04-24
Inventor(s): KATO SHINICHI; KAKEHI MASAMITSU
Applicant(s):: KOKUSAI ELECTRIC CO LTD
Requested Patent: ☐ JP10107730
Application Number: JP19960278597 19961001
Priority Number(s):
IPC Classification: H04B7/26 ; H04J3/00
EC Classification:
Equivalents:

Abstract

PROBLEM TO BE SOLVED: To reduce power consumption further more for a reception slot intermittent reception period in the waiting state of a time division multiple access(TDMA) portable radio equipment.

SOLUTION: The equipment is provided with a low frequency oscillator 11 that generates a low frequency clock and a transistor(TR) 15 that applies on/off control to a high frequency clock from a high frequency oscillator 2. A TDMA control section 7 is provided with two OR circuits 12, 13 and a clock flag generator 14. Every time a CPU 1 receives a reception slot, the power save mode is set, and when a time up to a succeeding reception slot is set to a timer counter 3, the timer counter 3 is operated by a low frequency clock, its status is given to the TR 15 and the two OR circuits 12, 13, by which the high frequency clock is stopped and clock supply to a slot counter 5 is stopped to stop the operation.

Data supplied from the esp@cenet database - l2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-107730

(43) 公開日 平成10年(1998) 4月24日

(51) Int.Cl.⁶

識別記号

F I

H 0 4 B 7/26

H 0 4 B 7/26

X

H 0 4 J 3/00

H 0 4 J 3/00

H

審査請求 未請求 請求項の数 1 F D (全 5 頁)

(21) 出願番号

特願平8-278597

(22) 出願日

平成8年(1996)10月1日

(71) 出願人 000001122

国際電気株式会社

東京都中野区東中野三丁目14番20号

(72) 発明者 加藤 信一

東京都中野区東中野三丁目14番20号 国際
電気株式会社内

(72) 発明者 賀 雅光

東京都中野区東中野三丁目14番20号 国際
電気株式会社内

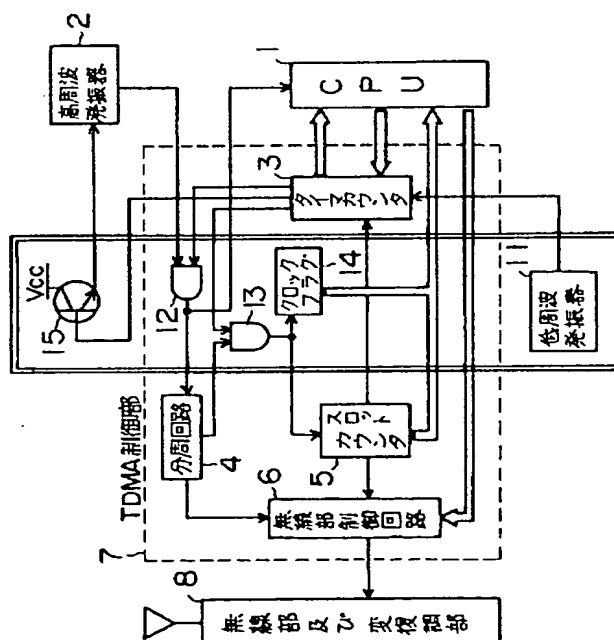
(74) 代理人 弁理士 大塚 学

(54) 【発明の名称】 TDMA携帯無線機の消費電力制御方式

(57) 【要約】

【課題】 TDMA携帯無線機の待ち受け時の当該受信スロット間欠受信期間における消費電力をさらに低減する。

【解決手段】 低周波クロックを発生する低周波発振器11と、高周波発振器2の高周波クロックをオン／オフ制御するトランジスタ15を設ける。TDMA制御部7に2つの論理和回路12、13とクロックフラグ生成器14を設ける。CPU1が当該受信スロットを受信する毎にパワーセーブモードになり、タイマカウンタ3に次の受信スロットまでの時間を設定するとタイマカウンタ3は低周波クロックで動作し、そのステータスをトランジスタ15と2つの論理和回路12、13に入力して高周波クロックを停止させるとともにスロットカウンタ5のクロック供給を止めて動作を停止させるように構成した。



【特許請求の範囲】

【請求項1】 TDMA方式の無線電波を送受信する無線部及び変復調部と、高周波クロックを連続出力する高周波発振器と、該高周波クロックによって動作しパワーセーブモードを有するCPUと、前記高周波クロックを分周する分周回路と該分周回路から出力される基準クロックによってTDMAスロットを連続生成するスロットカウンタと前記分周回路からの基準クロックが入力され前記スロットカウンタからのTDMAスロットにより当該子機の受信スロットで受信するように前記無線部及び変復調部の制御を行う無線部制御回路と前記分周回路からの基準クロックと前記スロットカウンタからのTDMAスロットが入力され前記CPUから与えられるウント値をカウントするタイマカウンタとが設けられたTDMA制御部とを備え、

待ち受け期間中、前記CPUは当該無線機の受信スロットを受信して動作モードからパワーセーブモードに移行する毎に所定の回路の動作を停止させるとともに前記タイマカウンタにパワーセーブモード期間を示すカウント値を与え、前記タイマカウンタは前記カウント値をカウントしカウントアップしたとき前記CPUにパワーセーブモード解除の割り込みを行うように構成されたTDMA携帯無線機の消費電力制御方式において、

低周波クロックを出力する低周波発振器と、外部からの制御信号により前記高周波発振器を停止させる信号を出力するトランジスタと、前記高周波発振器の出力を一方の入力とし前記分周回路に出力信号を与える第1の論理和回路と、前記分周回路の出力を一方の入力とし前記スロットカウンタに出力信号を与える第2の論理和回路と、該第2の論理和回路の出力によりスロット止め認識情報を示すフラグを出力するクロックフラグ生成器とを備え、

前記タイマカウンタは、前記CPUからパワーセーブモードに移行して前記パワーセーブモード期間を示すカウント値が与えられたとき前記低周波発振器からの低周波クロックによる動作を行い前記トランジスタに制御信号を与えて前記高周波発振器を停止させるとともに前記第1の論理和回路と前記第2の論理和回路の他方の入力にステータスを与え、

該ステータスにより前記第1の論理和回路は前記分周回路への高周波クロック供給を停止し、

前記ステータスにより前記第2の論理和回路は前記スロットカウンタへの基準クロック供給を停止してスロットカウンタの動作を停止させるとともに、前記クロックフラグ生成器からスロット止め認識情報を示すフラグを出力させて前記CPUに認識させるように構成したことを特徴とするTDMA携帯無線機の消費電力制御方式。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、時分割多元接続

(TDMA: Time Division Multiple Access) 方式によるデジタルコードレス電話システムの子機に関し、特に、子機の待受け期間の間欠受信による低消費電力化のための消費電力制御(パワーセービング)方式に関するものである。

【0002】

【従来の技術】 デジタルコードレス電話に限らず、携帯型移動機の電池継続時間をできるだけ長くするための低消費電力化は重要な技術課題の一つである。図3は従来のデジタルコードレス電話の子機の部分回路構成例を示すブロック図である。図3において、1はパワーセーブモードを有するCPU(中央処理装置)、2は高周波クロックを発生する高周波発振器、3はタイマカウンタ、4は分周回路、5はTDMAスロットを生成するスロットカウンタ、6は無線部制御回路、破線で囲った7はTDMA制御部、8は無線部及び変復調部である。高周波発振器2で発生した高周波クロックは、CPU1とTDMA制御部7の分周回路4とに供給され、分周回路4は高周波クロックを分周してTDMA制御部7の中の各回路を動作させる基準クロックを出力する。タイマカウンタ3はパワーセーブモードカウントを行いCPU1にパワーセーブモード解除の割り込みを行う。スロットカウンタ5は、TDMA方式のスロットを生成してタイマカウンタ3に与えけるとともに無線部制御回路6に与えて無線部及び変復調部8を制御する。

【0003】 次に、上記従来回路の待ち受け期間におけるバッテリセービング制御動作について具体的に説明する。図4は待ち受け期間における従来のパワーセービング制御方法を説明するタイムチャートである。図4に示すように、子機のCPU1は、例えば1秒周期で当該子機の受信スロットR1を受信する動作モードとなり、他のスロット間は消費電力をセーブするパワーセーブモードとなる。このような待ち受け時の間欠受信では、パワーセーブモード期間中は不要な回路、例えば、受信ミキサ、増幅器、復調器、シンセサイザ、切替制御部そしてTDMA制御部の一部の動作を停止して消費電力の節約を行っている。高周波発振器2で発生する高周波クロックは例えば約20MHzであり、連続動作をしている。子機が当該子機の受信スロットR1を受信した後、CPU1はタイマカウンタ3にカウント値を設定してパワーセーブモードに移行する。タイマカウンタ3が設定されたカウント値カウントアップすると、次の受信スロットR1を受信するためにCPU1は動作モードになる。

【0004】

【発明が解決しようとする課題】 しかし、上記従来回路では、待ち受け時のパワーセーブ期間中は、高周波クロックやスロットカウンタ5及び無線部制御回路6は常時動作するためパワーセーブ効率が悪いという問題がある。しかも、上記の問題点はコードレス電話の子機に限らず、TDMA方式の携帯無線機についての問題点でも

ある。

【0005】本発明の目的は、従来技術における待ち受け時のパワーセーブ効率が悪いという問題を解決し、パワーセーブモード期間中、さらにTDMA制御部の消費電力を低減することのできるTDMA携帯無線機の消費電力制御方式を提供することにある。

【0006】

【課題を解決するための手段】本発明のTDMA携帯無線機の消費電力制御方式は、TDMA方式の無線電波を送受信する無線部及び変復調部と、高周波クロックを連続出力する高周波発振器と、該高周波クロックによって動作しパワーセーブモードを有するCPUと、前記高周波クロックを分周する分周回路と該分周回路から出力される基準クロックによってTDMAスロットを連続生成するスロットカウンタと前記分周回路からの基準クロックが入力され前記スロットカウンタからのTDMAスロットにより当該子機の受信スロットで受信するように前記無線部及び変復調部の制御を行う無線部制御回路と前記分周回路からの基準クロックと前記スロットカウンタからのTDMAスロットが入力され前記CPUから与えられるウント値をカウントするタイマカウンタとが設けられたTDMA制御部とを備え、待ち受け期間中、前記CPUは当該無線機の受信スロットを受信して動作モードからパワーセーブモードに移行する毎に所定の回路の動作を停止させるとともに前記タイマカウンタにパワーセーブモード期間を示すカウント値を与え、前記タイマカウンタは前記カウント値をカウントしカウントアップしたとき前記CPUにパワーセーブモード解除の割り込みを行うように構成されたTDMA携帯無線機の消費電力制御方式において、低周波クロックを出力する低周波発振器と、外部からの制御信号により前記高周波発振器を停止させる信号を出力するトランジスタと、前記高周波発振器の出力を一方の入力とし前記分周回路に出力信号を与える第1の論理和回路と、前記分周回路の出力を一方の入力とし前記スロットカウンタに出力信号を与える第2の論理和回路と、該第2の論理和回路の出力によりスロット止め認識情報を示すフラグを出力するクロックフラグ生成器とを備え、前記タイマカウンタは、前記CPUからパワーセーブモードに移行して前記パワーセーブモード期間を示すカウント値が与えられたとき前記低周波発振器からの低周波クロックによる動作を行い前記トランジスタに制御信号を与えて前記高周波発振器を停止させるとともに前記第1の論理和回路と前記第2の論理和回路の他方の入力にステータスを与え、該ステータスにより前記第1の論理和回路は前記分周回路への高周波クロック供給を停止し、前記ステータスにより前記第2の論理和回路は前記スロットカウンタへの基準クロック供給を停止してスロットカウンタの動作を停止させるとともに、前記クロックフラグ生成器からスロット止め認識情報を示すフラグを出力させて前記CPUに認識

させるように構成したことを特徴とするものである。

【0007】

【発明の実施の形態】本発明は、待ち受け時にTDMA方式のスロットを監視し、当該子機の受信スロットR1を受信した後、CPU1がパワーセーブモードに移行したとき、高周波発振器2の出力を停止させるとともにスロットカウンタ5の動作を停止させ、かつ、タイマカウンタ3を、低周波発振器11からの、例えば32.768kHzの低周波クロックで動作させるようにして消費電力のセーブ効率を良くしたことを要旨とするものである。

【0008】

【実施例】図1は本発明の実施例を示す構成図である。図において、パワーセーブモードをもつCPU1と、CPU1と分周回路4に高周波クロックを供給する高周波発振器2と、パワーセーブ期間のカウントを行うタイマカウンタ3と、TDMA制御部の基準クロックを生成する分周回路4と、TDMA方式のスロット生成を行うスロットカウンタ5と、無線部および変復調部8を制御する無線部制御回路6は、図3の従来回路と同じである。2重線で囲んだ部分は本発明で設けた部分であり、11は低周波発振器であり、パワーセーブ期間タイマカウンタ3に与える例えば32.768kHzの低周波クロックを出力する。12は論理和回路であり、パワーセーブ期間中にタイマカウンタ3からのステータスにより高周波発振器2から分周回路4への高周波クロック供給を停止する。13は論理和回路であり、分周回路4からスロットカウンタ5へ供給する基準クロックをタイマカウンタ3からのステータスにより停止する。14はクロックフラグ生成器であり、基準クロックを停止しスロット止め認識情報（フラグ）を出力する。15はパワーセーブ時に高周波発振器2の発振停止を行うトランジスタである。

【0009】次に、本発明の動作を図2のタイムチャートにて説明する。図2は本発明の動作を説明するタイムチャートである。子機が待ち受け時にTDMAスロットR1で受信し、CPU1からタイマカウンタ3へパワーセーブモード移行を命令し、タイマカウンタ3からの制御により、スロットカウンタ5の基準クロックである分周回路4の出力を論理和回路13にて停止する。スロットカウンタ5が停止すると同時に、基準クロックを停止しTDMA制御部7のスロット止め認識情報を示すクロックフラグ生成器14からのフラグによりCPU1がTDMA制御部7のスロット止め開始を認識する。スロットカウンタ5に与える基準クロックを停止するタイミングは、低周波発振器11の低周波クロックにより動作するタイマカウンタ3から供給し、内部タイマにより一定の5msec周期により管理する。また、タイマカウンタ3からの命令により高周波発振器2の発振停止を行うトランジスタ15と、高周波クロックをCPU1及びTDM

A制御部7へ供給停止する論理和回路12により、CPU1がパワーセーブモードに移行すると同時に、TDMA制御部7のタイマカウンタ3以外の回路の動作も停止させる。

【0010】その後、待ち受けセービング周期を管理するタイマカウンタ3により次の受信スロットR1を受信するためのカウントタイムアップ時、トランジスタ15を動作させ（オンにして）高周波発振器2を発振させ、発振出力が安定後、論理和回路12、13によるクロックフラグをCPU1及び分周回路4への供給及びスロットカウンタ5の基準クロックをスロットカウンタ5へ供給することによりTDMA制御スロットが動作を開始し、次のTDMA制御スロットR1を受信する。

【0011】このように、パワーセーブ期間中はタイマカウンタ3を低周波発振器11の低周波クロックで動作させ、TDMA制御部7及びCPU1への高周波クロック供給停止をトランジスタ15、論理和回路12で行うとともにTDMAスロット止めを論理和回路13によって行う。すなわち待ち受けセービング中TDMA制御部7のスロットカウンタ5を停止させ、タイマカウンタ3を低周波クロックにより動作させることによりパワーセーブモード中のパワーセーブ効率をさらに良くし、低消費電力化を図ることができる。高周波クロックが20MHzで低周波クロックが32.768kHzとすると、消費電流が約100mAから約2mAとなるのでパワー低減率は1/50となる。

【0012】

【発明の効果】以上、詳細に説明したように、本発明に

よれば、デジタルコードレス電話システムにおいて、子機が待ち受け中のパワーセーブモード移行時に、CPUからのパワーセーブ開始命令により高周波発振器を停止させ、TDMA制御部のスロットカウンタの動作を止め、パワーセーブモード解除時にタイマカウンタからのタイマカウント完了信号によって、高周波発振器を起動させてTDMA制御部のスロットカウンタを起動させることができるため、パワーセーブモード中の消費電力を更に大幅に低減することができ、実用上大きい効果がある。

【図面の簡単な説明】

【図1】本発明の実施例を示すブロック図である。

【図2】本発明の動作を説明するタイムチャートである。

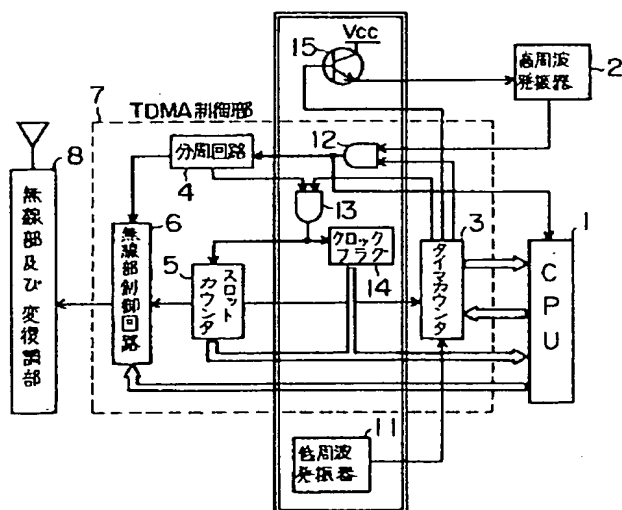
【図3】従来の回路構成例図である。

【図4】従来の動作を説明するタイムチャートである。

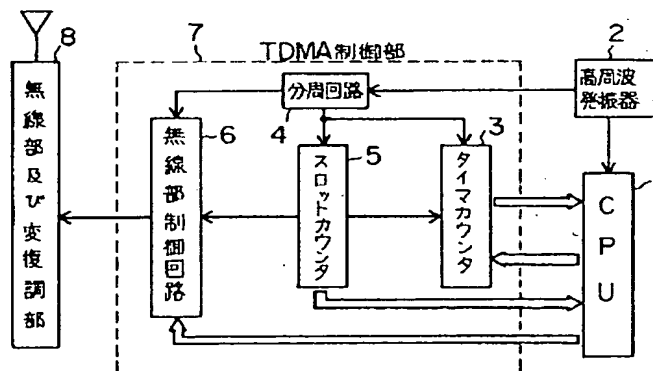
【符号の説明】

- 1 CPU
- 2 高周波発振器
- 3 タイマカウンタ
- 4 分周回路
- 5 スロットカウンタ
- 6 無線部制御回路
- 7 TDMA制御部
- 8 無線部及び変復調部
- 11 低周波発振器
- 12, 13 論理和回路
- 14 クロックフラグ生成器

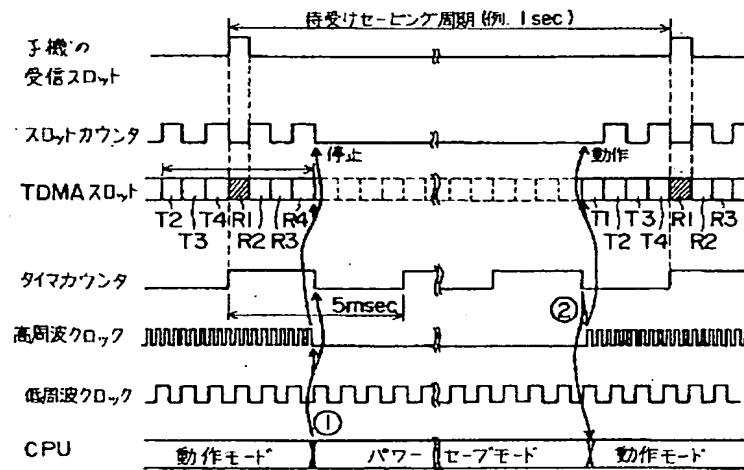
【図1】



【図3】



【図2】



【図4】

